PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-324484
(43)Date of publication of application : 07.12.1993

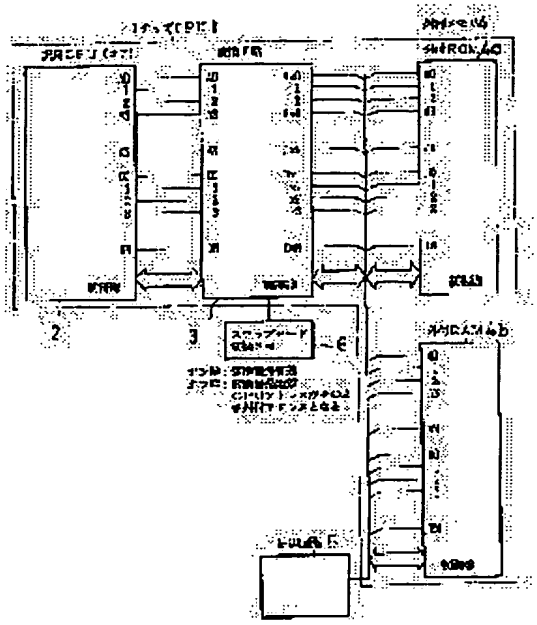
(51)Int.Cl. G06F 12/14

(21)Application number : 04-127787
(22)Date of filing : 20.05.1992

(71)Applicant : CSK CORP
(72)Inventor : KAWAMURA TAKAYUKI

(54) SECURITY SYSTEM FOR EXTERNAL MEMORY

(57)Abstract:
PURPOSE: To improve privacy and safety by translating the addresses and bits of an external memory with a pattern decided the arrangement beforehand at random by a translating means between a general-purpose CPU (core) and the external memory.
CONSTITUTION: A one-chip CPU 1 is composed of a general-purpose CPU (core) 2 and a translation circuit 3, a ROM 4a and an external RAM 4b are additionally connected to an external memory 4 externally attached to the one-chip CPU 1, and the addresses on the side of the general-purpose CPU 2 are connected corresponding to the CPU side addresses and data of the translation circuit 3. Similarly, the translation circuit 3 and the external memory 4 are correspondently connected. When a swap mode changeover switch 6 for a peripheral circuit 5 and the translation circuit 3 is turned on, a translation table is made valid, when it is turned off, the table is made invalid, and the CPU side addresses are connected to the memory side additionally. In this case, the translation circuit 3 is composed of a SRAM, the contents of the translation table in the external memory are arbitrarily changed and composed of various translation patterns. Namely, it is difficult to analyze the contents of the external memory 4.



LEGAL STATUS

[Date of request for examination] 17.07.1996
[Date of sending the examiner's decision of rejection] 01.06.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号

特開平5－324484

(43)公開日　平成５年(1993)12月７日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０６Ｆ　12/14	３２０　Ｂ	9293－5B		

審査請求　未請求　請求項の数１（全　８　頁）

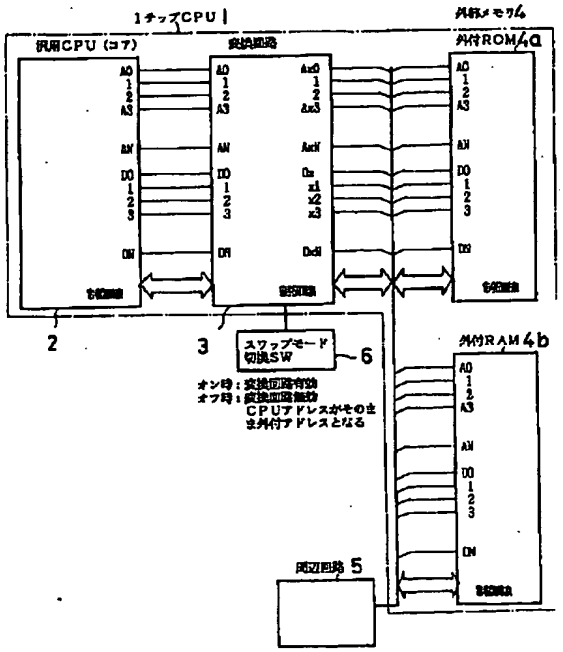
(21)出願番号　特願平4－127787

(22)出願日　平成４年(1992)５月20日

(71)出願人　000131201
株式会社シーエスケイ
東京都新宿区西新宿２丁目６番１号
(72)発明者　川村　孝之
東京都新宿区西新宿２－６－１　株式会社シーエスケイ内
(74)代理人　弁理士　宇高　克己

(54)【発明の名称】　外部メモリのセキュリティシステム

(57)【要約】
【目的】　１チップＣＰＵの外付けする外部メモリのセキュリティを高める為になされたものであり、第三者による外部メモリに格納されるデータの呼出し、変造を防止し、データの機密性、安全性を高めた外部メモリのセキュリティシステムを提供することである。
【構成】　汎用ＣＰＵと、この汎用ＣＰＵに外付けされた外部メモリを備えて構成された特定用途向けの１チップＣＰＵにおける前記外部メモリのセキュリティシステムであって、前記汎用ＣＰＵと外部メモリ間に配置されると共に前記外部メモリに格納されているデータのアドレス及びデータ内容を示すビット配列の変換機能を有する変換手段を有した外部メモリのセキュリティシステム。



1

【特許請求の範囲】

【請求項１】　汎用ＣＰＵと、この汎用ＣＰＵに外付けされた外部メモリを備えて構成された特定用途向けの１チップＣＰＵにおける前記外部メモリのセキュリティシステムであって、前記汎用ＣＰＵと外部メモリ間に配置されると共に前記外部メモリに格納されているデータのアドレス及びデータ内容を示すビット配列の変換機能を有する変換手段を有することを特徴とする外部メモリのセキュリティシステム。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、特定用途／ユーザ向けのいわゆるカスタムメイドの１チップＣＰＵ（マイコンチップ）に外付けしてなる外部メモリ（例えば外部ＲＯＭ及び／又はＲＡＭ）に対する第三者からのアクセス即ちメモリデータの変改造を防止し、メモリデータの機密性、安全性を高めた外部ＲＯＭのセキュリティシステムに関するものである。

【０００２】

【従来の技術】近年、マイコンチップを用いたコンピュータシステムにおいては、ＡＳＩＣ（特定用途向けＩＣ）技術の革新により汎用ＣＰＵを中心にして特定用途向けに開発された回路を複数配して構成した特定用途／ユーザ向けのいわゆるカスタムメイドされた１チップＣＰＵが盛んに用いられている。そして、このカスタム（ＡＳＩＣ）１チップＣＰＵは標準ＩＣを使って構成されたものよりも部品点数が少なくてすみ、コストも安く、動作速度は速くなり、故障も少なくなる等有用な点を種々有していた。

【０００３】一方、１チップＣＰＵに限らずチップに組み込まれるプログラムの規模（ステップ数で示される）が大きいシステムの場合にはプログラムエラーの発生確率も高くなり、しかもプログラムを長期間に渡って運用していく場合には必ず必要なプログラムの部分変更の際には１チップＣＰＵ自体を交換しなければならずコスト的にも問題があった。このような事情から、一般的には書換が可能な外部ＲＯＭ（ＰＲＯＭ、ＥＰＲＯＭ、Ｅ²ＰＲＯＭ、フラッシュメモリ等）及び／又は外部ＲＡＭを１チップＣＰＵに外付けして使用していた。そして、このような外部ＲＯＭ及び／又は外部ＲＡＭはカスタム１チップＣＰＵに一体的に接続されており、この外部ＲＯＭ及び／又は外部ＲＡＭのデータ内容を比較的容易に解読することができるような構成即ち、外部ＲＯＭ及び／又は外部ＲＡＭの内容が汎用ＣＰＵの命令系統を共有している構成をとっているために、第三者による恣意的なデータ変造等に対して無防備であり、データの秘匿性、安全性の低下といったセキュリティ上の問題が生じており何らかの解決策が求められていた。

【０００４】

【発明が解決しようとする課題】本発明は以上のような

2

問題点を解決するためのものであり、その目的は、１チップＣＰＵの外付けする外部メモリのセキュリティを高める為になされたものであり、第三者による外部メモリに格納されるデータの呼出し、変造を防止し、データの機密性、安全性を高めた外部メモリのセキュリティシステムを提供することである。

【０００５】

【発明の開示】上記本発明の目的は、汎用ＣＰＵと、この汎用ＣＰＵに外付けされた外部メモリを備えて構成された特定用途向けの１チップＣＰＵ（ＡＳＩＣ技術にてゲートアレイ上に汎用ＣＰＵと変換手段で組み合わせた専用のチップ）における前記外部メモリのセキュリティシステムであって、前記汎用ＣＰＵと外部メモリ間に配置されると共に前記外部メモリに格納されているデータのアドレス及びデータ内容を示すビット配列の変換機能を有する変換手段を有することを特徴とする外部メモリのセキュリティシステムによって達成される。

【０００６】

【作用】即ち、外部メモリのセキュリティシステムにあっては上記の如く、外部メモリのデータ内容を直接司どる汎用ＣＰＵ（コア）とこの外部メモリとの間に変換手段を配置し、この変換手段によって外部メモリに格納されるデータのアドレス、ビットの配列を予め決められたパターンでかつ内容的にはランダムに変換することによって、外部メモリの内容を第三者に覗かれ、解析されそして変造されるのを防止できるものである。

【０００７】このようにデータ内容を覗かれたり、更には変造される虞は解消され、その結果、秘密データの秘匿化、セキュリティの確保が達成できる等総合的なデータやシステム管理が行なえる。即ち、従来のように外部メモリの内容が汎用ＣＰＵ（コア）の命令体系である場合に容易にこの外部メモリにアクセス（リード／ライト）されてしまってデータ内容を覗き見られたり、変造されたりするトラブルが解消されるものである。

【０００８】

【実施例】図１乃至図８は、本発明に係る外部メモリのセキュリティシステムの一実施例を示すもので、図１は本システムに用いられる１チップＣＰＵ及び外付メモリの接続態様の概略構成図、図２は同様にワイヤー結線で見た場合の変換の概略を示した図、図３は１チップＣＰＵ内に用いられる変換回路のブロック構成図、図４は外部ＲＯＭ上に格納されているメモリマップ構成図、図５は汎用ＣＰＵ側から見た外部メモリ空間のメモリマップ構成図、図６は変換テーブル格納領域と変換回路との関係を示す説明図、図７は変換テーブルの使用例を示した説明図、図８は変換回路の内部結線の変換による外部ＲＯＭ側のアドレスの変化を示す説明図、図９は外付ＲＯＭのプログラムの方法の説明図である。

【０００９】図１中、１はＡＳＩＣ技術にてゲートアレイ上に汎用ＣＰＵと変換手段とで構成される１チップＣ

ＰＵであり、汎用ＣＰＵ２と変換回路３とにより構成されている。４はこの１チップＣＰＵ１に外付される外部メモリであって、外付ＲＯＭ４ａ、外付ＲＡＭ４ｂが接続されている。そして、汎用ＣＰＵ２側のアドレス（A0～AN）、データ（D0～DN）と変換回路３のＣＰＵ側のアドレス（A0～AN）、データ（D0～DN）とはそれぞれ対応して結線されている。同様に変換回路３の外付メモリ４側のアドレス（Ax0 ～AxN ）、データ（Dx0 ～DxN ）と外付メモリ４側のアドレス（Ax0 ～AxN ）、データ（Dx0 ～DxN ）とはそれぞれ対応して結線されている。５は周辺回路、６は変換回路のスワップモード切換スイッチであり、オン時には変換テーブルを有効とし、オフ時には変換テーブルを無効としてＣＰＵ側アドレスがそのまま外付メモリ側に接続されるものである。

【００１０】以下に図３のブロック構成図に基づいてスワップモード切換スイッチ６がオン時の変換テーブル使用態様を説明する。３１は変換テーブル格納アドレス発生用のカウンタ（ＣＮＴ）である。３２は汎用ＣＰＵに対してデータバス使用権利の放棄を要求するＦ／Ｆ（フリップフロップ）である。３３はＳＲＡＭ＃１（スタテックＲＡＭ）であり、アドレス変換ブロック（０～２５５ブロック）の中の１つのブロック（２５６バイト）単位内のアドレスを任意に決めるための変換テーブル格納用として用いられるものである。３４は同様にＳＲＡＭ＃２（スタテックＲＡＭ）であり、アドレス変換ブロック（０～２５５ブロック）ブロック番号を任意に決めるための変換テーブルの格納用といて用いる。３５、３６はセレクタ（ＳＥＬ）であり、変換テーブル格納アドレス発生用カウンタ値とＣＰＵから出力されるアドレスを切り換えるためのものである。３７も同様にセレクタ（ＳＥＬ）であり、変換テーブル（ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４））に書き込むデータを切り換えるためのものである。３８はＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）のチップセレクト（ＣＳ）信号及び書込み（ＷＥ）信号を発生させるデコーダである。

【００１１】Ｂ１はＣＰＵ２から出力されるアドレスA0～A15（計１６本）のアドレスバスである。（ＣＰＵのアドレス空間が６４Ｋとした例を示す。尚このＣＰＵのアドレス空間が広がればA15 がA23 というようにアドレス（バス）の数は対応して増加する。）Ｂ２はデータバスであり、ＣＰＵ２側のデータバスに接続され、双方向データバスである。Ｂ３は外部データバスであり、外部メモリ４側のデータバスに接続され、双方向データバスである。Ｂ４は変換回路３から出力されるアドレス（Ax0 ～AxN ）と外部メモリ４側アドレス（A0～A15 ）とを接続するアドレスバスである。そして、変換テーブル格納アドレス（FE00H ～FFFFH ）の読込みのために用いられる。即ち、ＣＰＵ２から出力されるアドレスが（A0～A15 ）が変換テーブル（ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）内のアドレス（Ax0 ～AxN ）を経由して外部メモリ４側に出力されるものである。

【００１２】Ｓ１はカウンタ（ＣＮＴ）３１をカウントアップするためのクロック信号（ＣＬＫ。）である。Ｓ２はリセット（ＲＥＳＥＴ）信号である。Ｓ３は変換回路３からＣＰＵ２に出力され、バス使用権利の放棄を要求する信号（ＣＰＵＲＥＱ）である。Ｓ４はＣＰＵ２から出力されるメモリリード要求（ＭＥＭＲＤ）信号である。Ｓ５はＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）に書込み要求信号を外部メモリリード要求（ＭＲＤ）とした信号であり、変換テーブル格納データ内容読込のために用いられる。そして通常動作時、ＣＰＵ２から出力されるメモリリード要求（ＭＥＭＲＤ）信号Ｓ４とマルチプレクス（高速処理）された信号となっている。

【００１３】以下、図３に基づいて１チップＣＰＵ１内の変換回路３の動作について説明する。即ち、変換回路３をＳＲＡＭ（或いはＥＰ² ＲＯＭ）等で構成し、外部（汎用ＣＰＵ２側からダウンロードして、汎用ＣＰＵ２と外部メモリ４のアドレス（A0～A15 ）及びデータ（D0～DN）とを任意（ランダム）な結線とする場合を例にとって説明する。尚、データ（D0～DN）を変換する場合にはＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）と同様の変換ＲＡＭを設ける。（概略的には図２に示す如く構成するものである）尚、前提条件としてのメモリ空間の構成を図４のアドレスマップについて説明する。又、ＣＰＵ２のアドレス空間が広がれば変換テーブルのアドレスも同様に変更される。同様に変換回路内のＣＮＴ３１も変更されるものである。

① 汎用ＣＰＵ２側のアドレス空間は６４Ｋバイトであり、データ長は８ビットとする。

② アドレス変換テーブルは２５６バイト×２＝５１２バイトとする

③ アドレス変換テーブルは番地FE00～FFFFに格納するものとする。

④ ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）と、デコーダ３８、セレクタ３５、３６、３７にはそれぞれデータの移動・演算速度が高速（データ遅延量が少なくて済む）である部品が使われている。即ち、ＣＰＵが本来有している最大アクセススピードを損なうことなく命令及びデータのリード／ライト動作を最小限にして実行させるためである。なぜならば外部データバスＢ３、外部アドレスバスＢ４により接続される外付ＲＯＭ４ａ、外付ＲＡＭ４ｂ等にアクセスする時にはいわゆるウエイト機能を挿入しなければならないものである。尚、このウエイト機能とは外部アドレスをデコードしてＣＰＵ２に対するウエイト（待機）信号を送出する機能あるいはＣＰＵ２内にウエイト（待機）制御用のレジスタを設定可能であるならば、設定したレジスタによってウエイト（待機）時間を適宜に設定する機能を有するものであ

る。

【００１４】以上のような前提条件下において、

（１）パワーオン（或いはリセット入力後）、カウンタ３１及びＦ／Ｆ３２はリセット状態となる。

（２）リセット信号Ｓ２の入力により、Ｆ／Ｆ３２はクリアされ、ＣＰＵ２に対してＣＰＵＲＥＱ信号Ｓ３（バス使用権利の放棄を要求する信号のアクティブ"Ｌ"）を送出する。この信号の出力でもってＣＰＵ２はＣＰＵＲＥＱ信号Ｓ３の"Ｈ"が入力するまでバス使用権利を放棄した状態が保持されるものである。

（３）カウンタ３１から変換テーブル格納番地（FE00H）が外部メモリ４のアドレスに出力される。そして、下位８ビットはセレクタ３５を経て、ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）に対するアドレスとなる。同時にデコーダ３８からＳＲＡＭ３３のチップセレクト信号（ＣＳ）と書込み信号（ＷＥ）が出力される。この時の書込み信号（ＷＥ）は外部メモリ４に対する外部メモリリード要求信号Ｓ５となる。この場合、セレクタ３５、３６、３７はＡサイド側が有効状態となる。

（４）カウンタ３１から出力された変換テーブル格納番地はセレクタ３６を経て外付ＲＯＭに出力される。アドレスの指定並びに外部メモリリード要求信号Ｓ５の送出により外部メモリ４からデータが１バイト読み込まれ、、そのデータがセレクタ３７のＡサイドからＳＲＡＭ＃１（３３）に書き込まれる。

（５）これ以後、カウンタ３１により外部メモリ４に対するアドレスが"１"だけプラスされ、このアドレスがFEFFH（２５６バイト）に達するまで前記（１）～（３）を繰り返す。即ち、外部メモリ４のアドレス（FE00H～FEFFH）がＳＲＡＭ＃１（３３）のアドレス（00H～FFH）に書き込（コピー）まれる。尚、ＳＲＡＭ＃１（３３）のソフト内容としての変換テーブルは全メモリ空間を構成する２５６ブロックの内の１ブロック内のアドレスを決定するために用いられるものである。（図４及び図７参照）

（６）カウンタ３１がアドレス（FF00H）になった時にＳＲＡＭ＃２（３４）が選択され（デコーダ３８によってＳＲＡＭ＃２（３４）を選択する信号が出力される）、外部メモリ４のアドレス（FF00H～FFFFH、２５６バイト）までの内容がＳＲＡＭ＃２（３４）に書き込（コピー）まれる。即ち、外部メモリ４のアドレス（FF00H～FFFFH）がＳＲＡＭ＃２（３４）のアドレス（00H～FFH）にコピーされるものである。尚、ＳＲＡＭ＃２（３４）のソフト内容としての変換テーブルは全メモリ空間を構成する２５６ブロックの内の１つのブロックのブロック番号を決定するために用いられるものである。（図４及び図７参照）

（７）外部メモリ４のアドレス（FE00H～FEFFH、２５６バイト）をＳＲＡＭ＃１（３３）にアドレス（FF00H～FFFFH、２５６バイト）をＳＲＡＭ＃２（３４）に全

て書き込んだ後、カウンタ３１からキャリー信号（ＣＹ）が出力され、Ｆ／Ｆ３２の出力即ちＣＰＵＲＥＱ信号Ｓ３の出力が"Ｈ"となり、ＣＰＵ２はバス使用権利を獲得するものである。この時、セレクタ３５、３６のＢサイド側が有効となりセレクタ３７は使用禁止状態となり、ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）のチップＣＳ（チップセレクト信号）は常に有効、ＷＥ（書込み）は常に禁止状態となる。

（８）この状態で、ＣＰＵ２は通常動作であるアドレス０番地（0H）からスタート可能状態（スタンバイ）となる。

（９）図８にイメージ的（概略的）に示されるように、この状態でＣＰＵ２は０番地（0H）をアクセスするが、実際にはＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）によりアドレス変換されており、機械的に外部メモリ４のアドレス番地をアクセスするのではなく、変換テーブルの変更に従ったアドレスがアクセスされることになる。そして、ＣＰＵ２と外部メモリ４のそれぞれのアドレスを任意（ランダム）に結線する内容の変換テーブル格納する外部メモリ４の（FE00H～FEFFH、２５６バイト）のデータ内容は２５６バイト内の配置を任意に変換させることが目的であるので同じ値が書き込まれることはない。（もしくは禁止事項とする）尚、上記説明ではＳＲＡＭを２つ用いた内容で説明してきたが、その他のバリエーションとしてＳＲＡＭを更に増やしたり、あるいはアドレス（A0～AN）、（Ax0～AxN）とデータ（D0～DN）、（Dx0～DxN）との組合せについておこなえば、より複雑なパターンで暗号化が達成できる。

【００１５】更に、ＲＯＭ化する上でのアドレス変換の行い方について図３並びに図９を用いて説明する。即ち、

（１）変更前（通常のＲＯＭ内容）

物理アドレス＝論理アドレス

（２）変更後（アドレスビットを入れ換えた時のＲＯＭ内容）

変更前の論理アドレスが図８のように配置されており、従ってこのＲＯＭにプログラムを書き込む場合には論理アドレスに配置換えした形に変更する必要がある。

【００１６】以上説明してきたように、変換回路３をＳＲＡＭ（もしくはE²ＰＲＯＭ）で構成することにより外部メモリ４上の変換テーブル（ＳＲＡＭ＃１（３３）、ＳＲＡＭ＃２（３４）に対応する）の内容をそれぞれに任意に変更することができるので種々の変換パターンンでもって構成するので、即ち具体的にはアドレス及びデータのビット配列をランダムに暗号化（インターリーブを含む）されたことになり、外部メモリ４内に格納される内容（プログラム）の第三者によるデータの解析は非常に困難なものとなり、事実上不可能といっても良く、従って破壊や詐取といった甚大な被害を事前に防止することができ、その結果、秘密データの秘匿化、セ

キュリティの確保が達成できる等総合的なデータ及びシステムの管理が達成できる。

【００１７】

【効果】本発明に係る外部メモリのセキュリティシステムは、外部メモリのデータ内容を直接司どる汎用ＣＰＵ（コア）とこの外部メモリとの間に配置した変換手段によって外部メモリに格納されるデータのアドレス、ビットの配列を予め決められたパターンでかつ内容的にはランダムに変換させておくので、いわば、暗号化が成され、外部メモリの内容を第三者に覗かれ、解析されそして変造される虞は解消され、その結果、秘密データの秘匿化、セキュリティの確保が達成できる等総合的なデータやシステム管理が行なえる。

【００１８】即ち、従来のように外部メモリの内容が汎用ＣＰＵ（コア）の命令体系である場合に容易にこの外部メモリにアクセス（リード／ライト）されてしまってデータ内容を詐取されたり、変造、破壊されることが無くなるものである。

【図面の簡単な説明】

【図１】本システムの１チップＣＰＵ（ＡＳＩＣ技術によりゲートアレイ上に汎用ＣＰＵと変換回路と組み合わせたもの）と外付メモリの接続態様の概略構成図である＊。

【図２】本システムにおいてワイヤー結線で見た場合の変換の概略を示した図である。

【図３】本システムの１チップＣＰＵ内に用いられる変換回路のブロック構成図である。

【図４】本システムの外部メモリ上に格納されているメモリマップ構成図である。

【図５】本システムの汎用ＣＰＵ側から見た外部メモリ空間のメモリマップ構成図である。

【図６】本システムの変換テーブル格納領域と変換回路との関係を示す説明図である。

【図７】本システムの変換テーブルの使用例を示した説明図である。

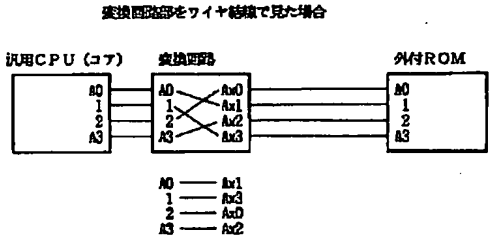
【図８】本システムの変換回路の内部結線の変換による外部ＲＯＭ側のアドレスの変化を示す説明図である。

【図９】本システムの外付ＲＯＭのプログラムの方法の説明図である。

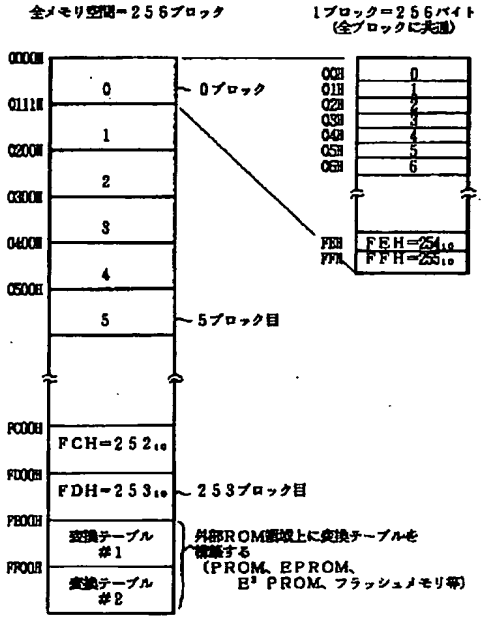
【符号の説明】

1　１チップＣＰＵ
2　ＣＰＵ
3　変換回路
4　外部メモリ

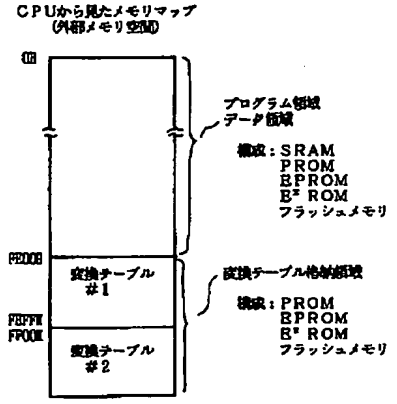
【図２】



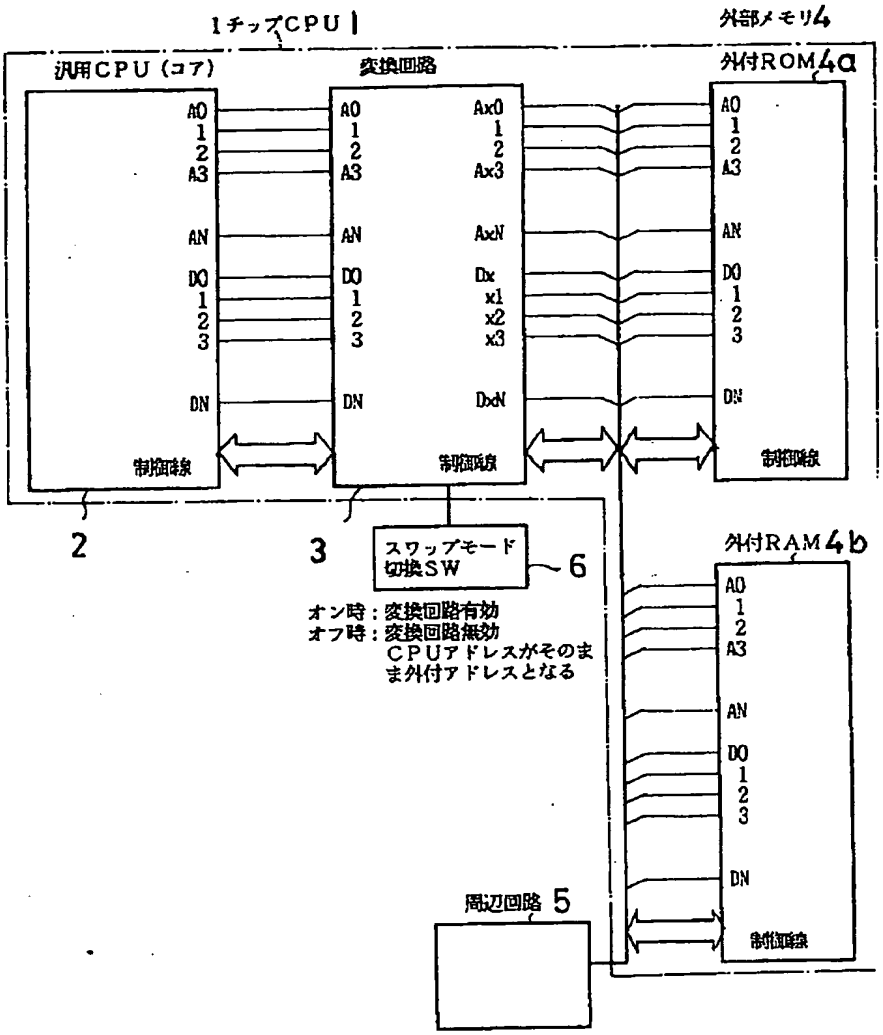
【図４】



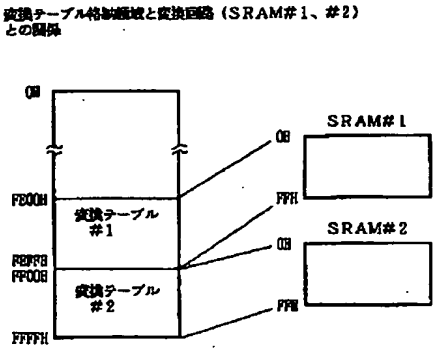
【図５】



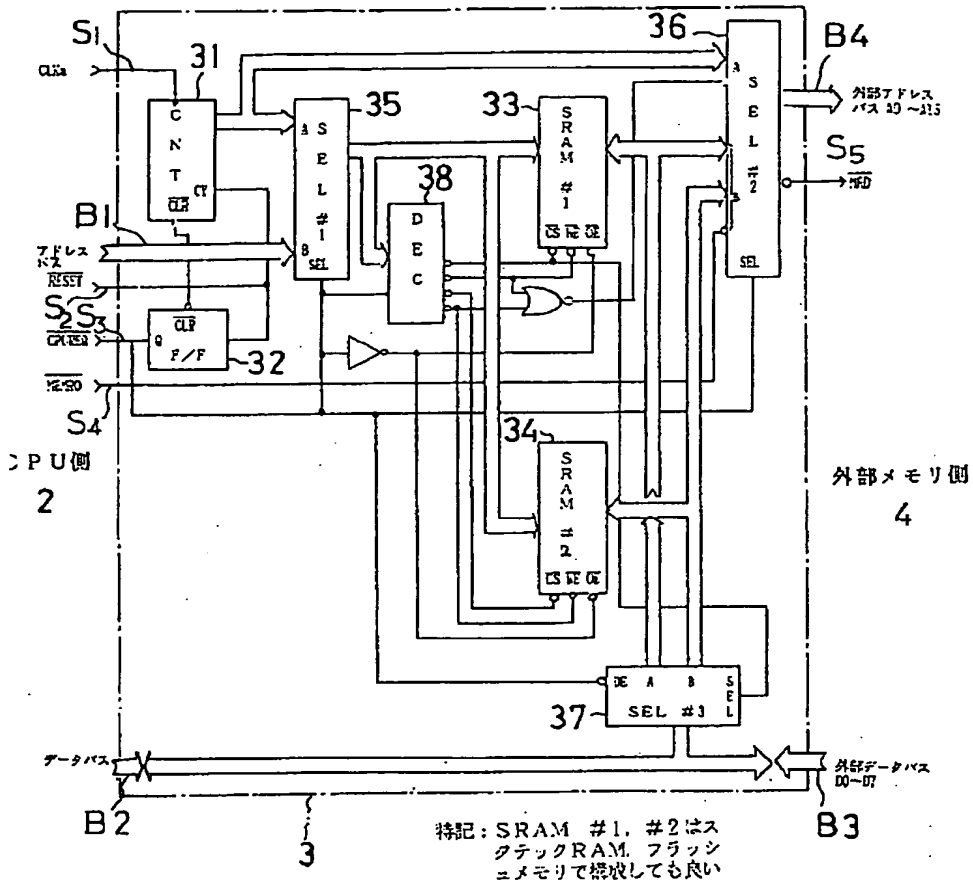
【図１】


1チップCPU
外部メモリ4
汎用CPU（コア）
変換回路
外付ROM4a
A0
1
2
A3
AN
D0
1
2
3
DN
Ax0
Ax3
AxN
Dx
x1
x2
x3
DxN
制御線
2
3
スワップモード
切換SW
6
オン時：変換回路有効
オフ時：変換回路無効
CPUアドレスがそのま
ま外付アドレスとなる
外付RAM4b
周辺回路 5

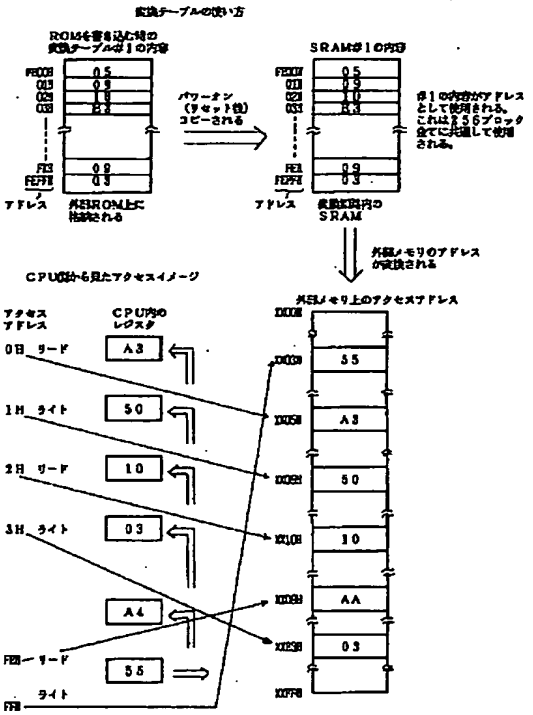
【図６】


変換テーブル格納領域と変換回路（SRAM#1、#2）
との関係
00H
FE00H
変換テーブル
#1
FEFFH
FF00H
変換テーブル
#2
FFFFH
SRAM#1
00H
FFH
SRAM#2
00H
FFH

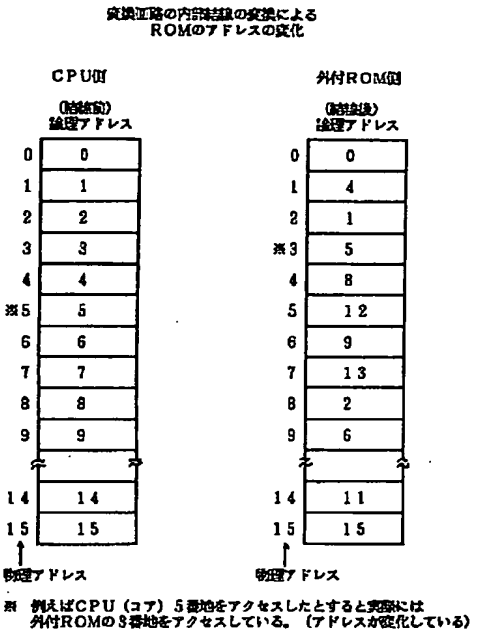
【図3】


S1
31
CNT
35
SEL #1
33
SRAM #1
36
SEL #2
B4
S5
B1
38
DEC
S2
S3
F/F
32
S4
34
SRAM #2
CPU側
2
外部メモリ側
4
37
SEL #3
データバス
B2
3
B3
特記：SRAM #1, #2はスタティックRAM, フラッシュメモリで構成しても良い

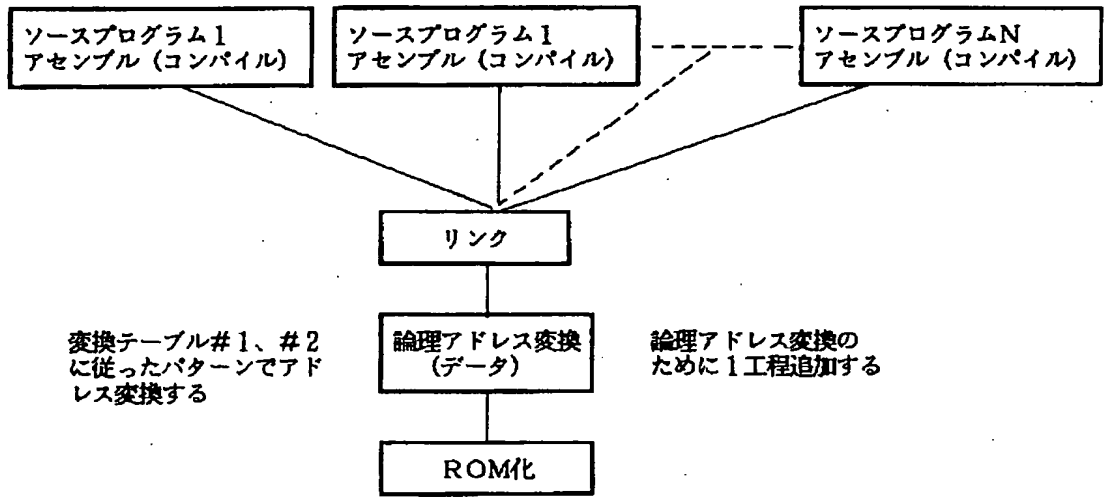
【図７】


変換テーブルの使い方
ROMに書き込む時の変換テーブル＃１の内容
SRAM＃１の内容
パワーオン（リセット信号）コピーされる
＃１の内容がアドレスとして使用される。これは２５６ブロック全てに共通して使用される。
アドレス
外部ROM上に格納される
変換回路内のSRAM
外部メモリのアドレスが変換される
CPU側から見たアクセスイメージ
外部メモリ上のアクセスアドレス
アクセスアドレス
CPU内のレジスタ
０Ｈ　リード
１Ｈ　ライト
２Ｈ　リード
３Ｈ　ライト
FE０Ｈ　リード
FE１Ｈ　ライト
A３
５０
１０
０３
A４
５５
５５
A３
５０
１０
AA
０３

【図８】


変換回路の内容書換の変換によるROMのアドレスの変化
CPU側
（書換前）論理アドレス
外付ROM側
（書換後）論理アドレス
物理アドレス
物理アドレス
※　例えばCPU（コア）５番地をアクセスしたとすると実際には外付ROMの３番地をアクセスしている。（アドレスが変化している）

【図９】


ソースプログラム１アセンブル（コンパイル）
ソースプログラム１アセンブル（コンパイル）
ソースプログラムN アセンブル（コンパイル）
リンク
論理アドレス変換（データ）
ROM化
変換テーブル＃１、＃２に従ったパターンでアドレス変換する
論理アドレス変換のために１工程追加する